

2800

0300

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT: NOBUHIKO ODA, ET AL.

SERIAL NO.: 10/008,389

FILED: November 6, 2001

FOR: BOTTOM GATE-TYPE THIN-FILM TRANSISTOR)
AND METHOD FOR MANUFACTURING THE
SAME

Group Art Unit:

Examiner:

2812
#51 Priority
Pages
5/13/02
V. Skelton

RECEIVED
APR 25 2002
TECHNOLOGY CENTER 2800

CLAIM FOR PRIORITY

The Assistant Commissioner for
Patents and Trademarks
Washington, D.C. 20231

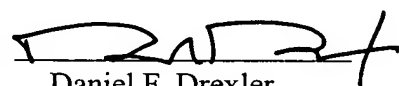
Dear Sir:

Enclosed herewith is a certified copy of the Japanese Patent Application No. 2000-338708 filed on November 7, 2000. The enclosed Application is directed to the invention disclosed and claimed in the above-identified application.

Applicants hereby claim the benefit of the filing date of November 7, 2000 of the Japanese Patent Application No. 2000-338708, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,
NOBUHIKO ODA, ET AL.

CANTOR COLBURN LLP
Applicants' Attorneys

By: 
Daniel F. Drexler
Registration No. 47,535
Customer No. 23413

I HEREBY CERTIFY THAT THIS CORRESPONDENCE
IS BEING DEPOSITED WITH THE UNITED STATES
POSTAL SERVICE AS FIRST CLASS MAIL IN AN
ENVELOPE ADDRESSED TO:
ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D. C. 20231

ON March 4, 2002
DATE OF DEPOSIT
Jennifer M. Skelton
PRINTED OR PRINTED NAME OF PERSON MAILING PAPER OR FEE
JAN ODA 3/4/02
SIGNATURE DATE

Date: 4 March 2001
Address: 55 Griffin Road South, Bloomfield, CT 06002
Telephone: 860-286-2929



Translation of Priority Certificate

JAPAN PATENT OFFICE

RECEIVED
APR 25 2002
TECHNOLOGY CENTER 2800

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: November 7, 2000

Application Number: Patent Application
No. 2000-338708

Applicant(s): SANYO ELECTRIC CO., LTD.

November 2, 2001

Commissioner, Kozo OIKAWA
Japan Patent Office

Priority Certificate No. 2001-3097514



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月 7日

出 願 番 号

Application Number:

特願2000-338708

出 願 人

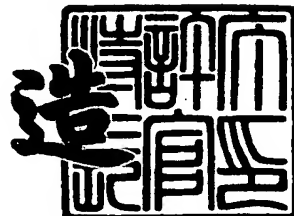
Applicant(s):

三洋電機株式会社

2001年11月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3097514

【書類名】 特許願

【整理番号】 KHB1000042

【提出日】 平成12年11月 7日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 小田 信彦

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 山路 敏文

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 中西 史郎

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 森本 佳宏

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 米田 清

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 桑野 幸徳

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 電話 03-3837-7751 法務・知的財産部 東京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 ボトムゲート型薄膜トランジスタ及びその製造方法

【特許請求の範囲】

【請求項 1】 透明絶縁性基板上に形成されたゲート電極と、
前記ゲート電極を覆って形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成され、ゲート電極近傍に不純物が注入されたソース領域、ドレイン領域を有する半導体層と、
前記半導体層上に形成された層間絶縁膜とを有するボトムゲート型薄膜トランジスタにおいて、
前記層間絶縁膜の前記半導体層との界面側は、不純物濃度が 10^{18} atom/cc 以下であることを特徴とするボトムゲート型薄膜トランジスタ。

【請求項 2】 透明絶縁性基板上に形成されたゲート電極と、
前記ゲート電極を覆って形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成され、ゲート電極近傍に不純物が注入されてなるソース領域、ドレイン領域を有する半導体層と、
前記半導体層上に形成された層間絶縁膜とを有するボトムゲート型薄膜トランジスタにおいて、
前記ゲート電極直上において、前記層間絶縁膜と前記半導体層とが直接接していることを特徴とするボトムゲート型薄膜トランジスタ。

【請求項 3】 透明絶縁基板上にボトムゲート型薄膜トランジスタを形成する製造方法であって、
透明基板上にゲート電極を形成する工程と、
該ゲート電極上にゲート絶縁膜を形成する工程と、
該ゲート絶縁膜上に半導体層を形成する工程と、
前記ゲート電極に対応する前記半導体層上にマスクを形成する工程と、
前記マスクを用いて前記半導体層に不純物を注入する工程と、
前記マスクを除去した後、前記半導体層上に層間絶縁膜を形成する工程と、
を有することを特徴とするボトムゲート型薄膜トランジスタの製造方法。

【請求項 4】 前記マスクを形成する以前に、前記半導体層上には自然酸化

膜が形成され、

前記マスクを除去した後、前記自然酸化膜とともに、前記マスクの残りを除去することを特徴とする請求項 3 に記載のボトムゲート型薄膜トランジスタの製造方法。

【請求項 5】 希フッ酸を用いて前記自然酸化膜を除去することを特徴とする請求項 4 に記載のボトムゲート型薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は薄膜トランジスタ (Thin Film Transistor ; T F T) 及びその製造方法に関するものであり、特に半導体層よりもゲート電極が基板側に配置される、いわゆるボトムゲート型 T F T の製造方法に関する。

【0 0 0 2】

【従来の技術】

アクティブマトリクス型の液晶表示装置 (Liquid Crystal Display ; L C D) や有機エレクトロルミネッセンス (Electroluminescence ; E L) 表示装置は、ガラスなどの透明絶縁性基板上に駆動回路や各画素毎の選択 T F T を形成した基板を用いる。このような、透明基板上に半導体素子を形成する場合、シリコン基板を用いる場合と異なり、高熱処理や基板に対する不純物の拡散などが不可能である。従って、ガラス基板上に半導体素子を形成する場合、シリコン基板に半導体素子を形成する方法とは異なった方法を用いる。

【0 0 0 3】

以下に、従来のボトムゲート型 T F T をガラス基板上に形成する方法について説明する。各図中、右側に P チャネル型 T F T、左側に N チャネル T F T を配置する。

工程 1 : 図 5 (a) に示すように、ガラス基板 5 1 上にクロムなどの高融点金属よりなる導電膜を形成し、所定パターンにエッチングしてゲート電極 5 2 を形成する。次に、ゲート電極 5 2 を覆って酸化シリコンと窒化シリコンの積層構造よりなるゲート絶縁膜 5 3、シリコンよりなる半導体層 5 4、酸化シリコンよりな

る注入ストッパ55を順次形成する。

工程2：図5（b）に示すように、全面にフォトリソストを塗布し、基板51側より光を照射し、ゲート電極52をマスクとして用いて露光、現像して、レジストマスク56を形成する。次に、このレジストマスク56をマスクとして注入ストッパ55をエッチングする。次に、レジストマスク56及び注入ストッパ55をマスクとしてN型不純物を半導体層54に低濃度に注入し、 N^- 領域を形成する。ゲート電極52をマスクとしてレジストマスク56を形成しているので、 N^- 領域は、ゲート電極52に自己整合的に形成される。

工程3：図5（c）に示すように、PチャネルTFTを完全に覆い、NチャネルTFTのゲート電極52より少し大きいレジストマスク57を形成しさらにN型不純物を半導体層54に高濃度に注入し、 N^+ 領域を形成する。これによってLDD構造となる。

工程4：図6（a）に示すように、レジストマスク57を除去し、NチャネルTFTを覆うレジストマスク58を形成する。次に注入ストッパ55をマスクとしてP型不純物を半導体層54に注入し、 P^+ 領域を形成する。注入ストッパ55はゲート電極52をマスクとして形成されているので、 P^+ 領域はゲート電極52に自己整合的に形成される。

工程5：図6（b）に示すように、全面に酸化シリコンと窒化シリコンの積層よりなる層間絶縁膜59を形成する。この時、層間絶縁膜59は、注入ストッパ55と一体化し、その境界は不鮮明となる。次に、層間絶縁膜59の所定位置にコンタクトホールを開口、ソース、ドレイン電極60を形成してTFTが完成する。

【0004】

【発明が解決しようとする課題】

上述したように、工程4において、注入ストッパ55をマスクとしてP型不純物を注入するが、このとき、注入するP型不純物は、半導体層54と同時に注入ストッパ55にも注入される。注入ストッパ55に注入される不純物は $10^{18} \text{at}/\text{cm}^3$ 以上に上る。

【0005】

従来の製造方法では、T F T 完成後に注入ストッパ 5 5 が層間絶縁膜 5 9 に一体化して残存するため、注入ストッパ 5 5 に注入されたボロンなどの P 型不純物も層間絶縁膜 5 9 中に残存し、これによって T F T のゲート閾値が変動する、いわゆるバックチャネル現象が生じ、ボトムゲート型薄膜トランジスタの製造ばらつきの原因となっていた。特に、層間絶縁膜 5 9 には、リン、砒素、ボロンなど、半導体層を活性化する不純物が 10^{18}atom/cc 以上混入すると問題が顕著となる。

【0006】

そこで、本発明は、注入ストッパ 5 5 に起因するバックチャネル現象が生じないボトムゲート型薄膜トランジスタの製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】

本発明は、上記課題を解決するために成されたものであり、透明絶縁性基板上に形成されたゲート電極と、ゲート電極を覆って形成されたゲート絶縁膜と、ゲート絶縁膜上に形成され、ゲート電極近傍に不純物が注入されてなるソース領域、ドレイン領域を有する半導体層と、半導体層上に形成された層間絶縁膜とを有するボトムゲート型薄膜トランジスタであって、層間絶縁膜の半導体層との界面側は、不純物濃度が 10^{18}atom/cc 以下であるボトムゲート型薄膜トランジスタである。

【0008】

また、透明絶縁性基板上に形成されたゲート電極と、ゲート電極を覆って形成されてなるソース領域、ドレイン領域を有するゲート絶縁膜と、ゲート絶縁膜上に形成され、ゲート電極近傍に不純物が注入された半導体層と、半導体層上に形成された層間絶縁膜とを有するボトムゲート型薄膜トランジスタであって、ゲート電極直上において、層間絶縁膜と半導体層とが直接接しているボトムゲート型薄膜トランジスタである。

【0009】

また、透明絶縁基板上にボトムゲート型薄膜トランジスタを形成する製造方法であって、透明基板上にゲート電極を形成する工程と、ゲート電極上にゲート絶

縁膜を形成する工程と、ゲート絶縁膜上に半導体層を形成する工程と、ゲート電極に対応する半導体層上にマスクを形成する工程と、マスクを用いて半導体層に不純物を注入する工程と、マスクを除去した後、半導体層上に層間絶縁膜を形成する工程と、を有するボトムゲート型薄膜トランジスタの製造方法である。

【0010】

さらに、マスクを形成する以前に、半導体層上には自然酸化膜が形成され、マスクを除去した後、この自然酸化膜とともに、マスクの残りを除去する。

【0011】

さらに、希フッ酸を用いて自然酸化膜を除去する。

【0012】

【発明の実施の形態】

まず、本発明の第1の実施形態を以下に説明する。

工程1：図1（a）に示すように、ガラス基板1上にクロムなどの高融点金属よりなる導電膜をスパッタリングで1000Å～2000Å程度に形成し、所定パターンにエッチングしてゲート電極2を形成する。この時、PチャネルTFTのゲート電極2Pは、従来のゲート電極2よりもチャネル方向で10%程度大きく形成する。次に、ゲート電極2を覆って酸化シリコンと窒化シリコンの積層構造よりなるゲート絶縁膜3をCVD（Chemical Vapor Deposition）で厚さ1000Å～2000Å程度に形成する。次に、非結晶シリコン、もしくはこれを結晶化した多結晶シリコンよりなる半導体層4を300Å～500Å程度形成する。非結晶シリコンはCVDで形成し、これにエキシマレーザアニール（ELA）を施して結晶化し、多結晶シリコンとすることができる。

工程2：図1（b）に示すように、全面にフォトリソを塗布し、基板1側より紫外線を照射することでゲート電極2をマスクとして用いて露光、現像して、レジストマスク5を形成する。次に、レジストマスク5をマスクとしてN型不純物を半導体層4に 10^{14} atom/cc程度の低濃度に注入し、N⁻領域を形成する。ゲート電極2をマスクとしてレジストマスク5を形成しているので、N⁻領域は、ゲート電極2に自己整合的に形成される。

工程3：図1（c）に示すように、全面にフォトリソを塗布し、図示しない

マスクを用いてレジストマスク6を形成する。レジストマスク6は、PチャネルTFTを完全に覆い、NチャネルTFTのゲート電極2Nより少し大きい。さらにN型不純物を半導体層4に高濃度に注入し、 N^+ 領域を形成する。これによってソース領域、ドレイン領域が形成され、LDD構造となる。

工程4：図2(a)に示すように、NチャネルTFTを覆い、Pチャネルトランジスタのゲート2Pよりもチャネル長方向に10%程度短いレジストマスク7を形成し、これをマスクとしてボロンなどのP型不純物を半導体層4に注入し、 P^+ 領域を形成する。これによってソース領域、ドレイン領域が形成される。

工程5：図2(b)に示すように、レジストマスク7を除去し、CVD法をもちい、全面に酸化シリコンよりなる層間絶縁膜8を4000Å~5000Å形成する。次に、層間絶縁膜8の所定位置にコンタクトホールを開口、ソース、ドレイン電極9を形成してTFTが完成する。

【0013】

本実施形態において、P型不純物を注入するためのレジストマスク7には、半導体層4と同時にP型不純物が注入されるが、このレジストマスク7は除去され、完成後のTFTには残存しない。言い換えれば、TFTを構成するゲート電極2の直上では、半導体層4と層間絶縁膜8とが、ストッパマスク55を介さずに直接接しているため半導体層4のゲート電極2直上に位置する絶縁膜には、不純物が 10^{18} atom/cc未満である。従って、バックチャネル現象を防止でき、動作特性のばらつきの少ない、歩留まりの高いボトムゲート型薄膜トランジスタとすることができる。

【0014】

工程1でゲート電極2Pを10%長くし、工程4でレジストマスク7を10%短く形成した。これによって、形成されたTFTのチャネル長は従来と同様となり、その上で、ゲート電極2Pとレジストマスク7とでマスクずれが生じても、そのずれがチャネル長の10%未満であれば、TFTが動作不良となることはない。

【0015】

ところで、半導体層4は、TFT動作時にはチャネルとなる層であり、半導体

層4と層間絶縁膜8との界面を良好にすることは、極めて重要である。従来の注入ストッパ55は、半導体層4形成直後に積層され、半導体層4の界面を保護する役割をも担っていた。これに対し、本願製造方法では、半導体層4上に直接レジストマスク7を形成した後、これを除去する必要があるため、半導体層4にレジストマスク7が残存しないよう、特に注意する必要がある。レジストマスク7が残存すると、注入した不純物が残存部分に含まれている可能性が高く、また、レジストマスク7と層間絶縁膜8とは誘電率等の物性が異なるため、TFTの動作特性に影響を及ぼし、動作特性のばらつきの原因となる。図3は、半導体層4上からレジストマスク7を除去した直後を示す拡大断面図である。半導体層4の表面には、レジストマスク7を形成する以前に10Å～数10Å程度の極めて薄い自然酸化膜4aが形成されている。自然酸化膜は半導体膜が大気に露出されると、半導体膜が大気中の酸素と反応して極短時間で形成される。そして、レジストマスク7の除去残り7aは、ごく僅かに自然酸化膜4a上に残っている。これを除去するために、例えば濃度1%～5%程度の希フッ酸(HF)を用いて自然酸化膜4aを除去し、同時にレジストマスクの残り7aを除去する(リフトオフ)とよい。

【0016】

このようなリフトオフのような薬液を用いた洗浄は、薬液がガラス基板に付着すると基板を浸食して色むらの原因となるため、通常ガラス基板上に薄膜トランジスタを形成する時には採用されない方法である。そこで、本実施形態では、ガラス基板を所定の回転数で回転させた上で希フッ酸を流す、いわゆるスピンエッチャーを用いた。スピンエッチャーであれば、基板表面を流れた希フッ酸は、周囲に飛散するため、基板裏に回り込むことがなく、色むらにならない。例えばリフトオフに用いる薬液として、希フッ酸とフッ化アンモニウムに酢酸等を混入したバッファドフッ酸に浸す方法も考えられるが、レジストマスクを完全に除去するためには、時間かかる上、自然酸化膜が除去される時間浸けておけば、バッファドフッ酸を用いても基板も浸食される恐れもある。従って、スピンエッチャーを用いるのが最適である。

【0017】

次に本発明の第2の実施形態について説明する。

【0018】

工程1～工程3は第1の実施形態と全く同様であるので説明を省略する。

工程4：全面にフォトリソを塗布し、NチャネルTFTを覆うマスク20を用いてPチャネル上を露光、現像してNチャネルTFT上を覆い、PチャネルTFTを露出するレジストマスク21を形成する。

工程5：次に再度全面にフォトリソを塗布し、基板1側からゲート電極2をマスクとして露光、現像し、レジストマスク22をPチャネルTFTのゲート電極2Pに自己整合的に形成する。そして、このレジストマスク22をマスクとして用いてP型不純物を半導体層4に注入する。

工程6：レジストマスク21、22を除去した後、第1の実施形態工程5と全く同様に、層間絶縁膜8、ソース、ドレイン電極9を形成して、TFTが完成する。

【0019】

本実施形態においても、第1の実施形態と同様、レジストマスク22は除去され、TFTを構成する半導体層4上に形成される層間絶縁膜8のチャンネルに隣接する領域には、不純物が 10^{18} atom/cc未満であるので、バックチャンネル現象を防止でき、動作特性のばらつきの少ない、歩留まりの高いボトムゲート型薄膜トランジスタとすることができる。

【0020】

特に、本実施形態によれば、PチャネルTFTの不純物注入をゲート電極2Pに自己整合的にできるので、Nチャネル、Pチャネルのゲート電極2N、2Pを同じ大きさとすることもできる。従って、従来の製造方法から本願の製造方法に移行する際に、設計変更を必要としないため、容易に実施できるというメリットがある。その反面、Nチャネル上に形成されるレジストマスク21は、2回にわたって露光されるので、フォトリソが必要以上に硬化し、他の工程のフォトリソと同じ除去薬液、同じ時間では完全に除去することはできない。従って、他の工程に用いる薬液よりも濃度の高いものを用いるか、より長時間薬液にひたす必要がある。

【 0 0 2 1 】

【発明の効果】

以上に述べたように、本発明の請求項 1 もしくは請求項 2 に記載の発明によれば、ボトムゲート型薄膜トランジスタは、層間絶縁膜の半導体層との界面は、不純物濃度が 10^{18} atom/cc 以下である、もしくは層間絶縁膜と前記半導体層とが直接接しているので、層間絶縁膜中の不純物に起因するバックチャネル現象が生じず、ボトムゲート型薄膜トランジスタの製造ばらつきを小さくすることができる。

【 0 0 2 2 】

また、本発明の請求項 3 乃至請求項 5 に記載の発明によれば、特性低下の原因となっていたストッパ絶縁膜を形成せずに、従来と同等の特性を有するボトムゲート型薄膜トランジスタを容易に製造することができる。

【 0 0 2 3 】

特に請求項 4 に記載の発明によれば、レジストマスクを半導体層に形成された自然酸化膜とともに除去するので、半導体層と層間絶縁膜との間にレジストマスクが残存することがなく、特性の良好なボトムゲート型薄膜トランジスタを製造することができる。

【図面の簡単な説明】

【図 1】

本発明のボトムゲート型薄膜トランジスタの製造工程を示す断面図である。

【図 2】

本発明のボトムゲート型薄膜トランジスタの製造工程を示す断面図である。

【図 3】

レジストマスクを除去する工程を説明するための拡大断面図である。

【図 4】

本発明のボトムゲート型薄膜トランジスタの製造工程を示す断面図である。

【図 5】

従来のボトムゲート型薄膜トランジスタの製造工程を示す断面図である。

【図 6】

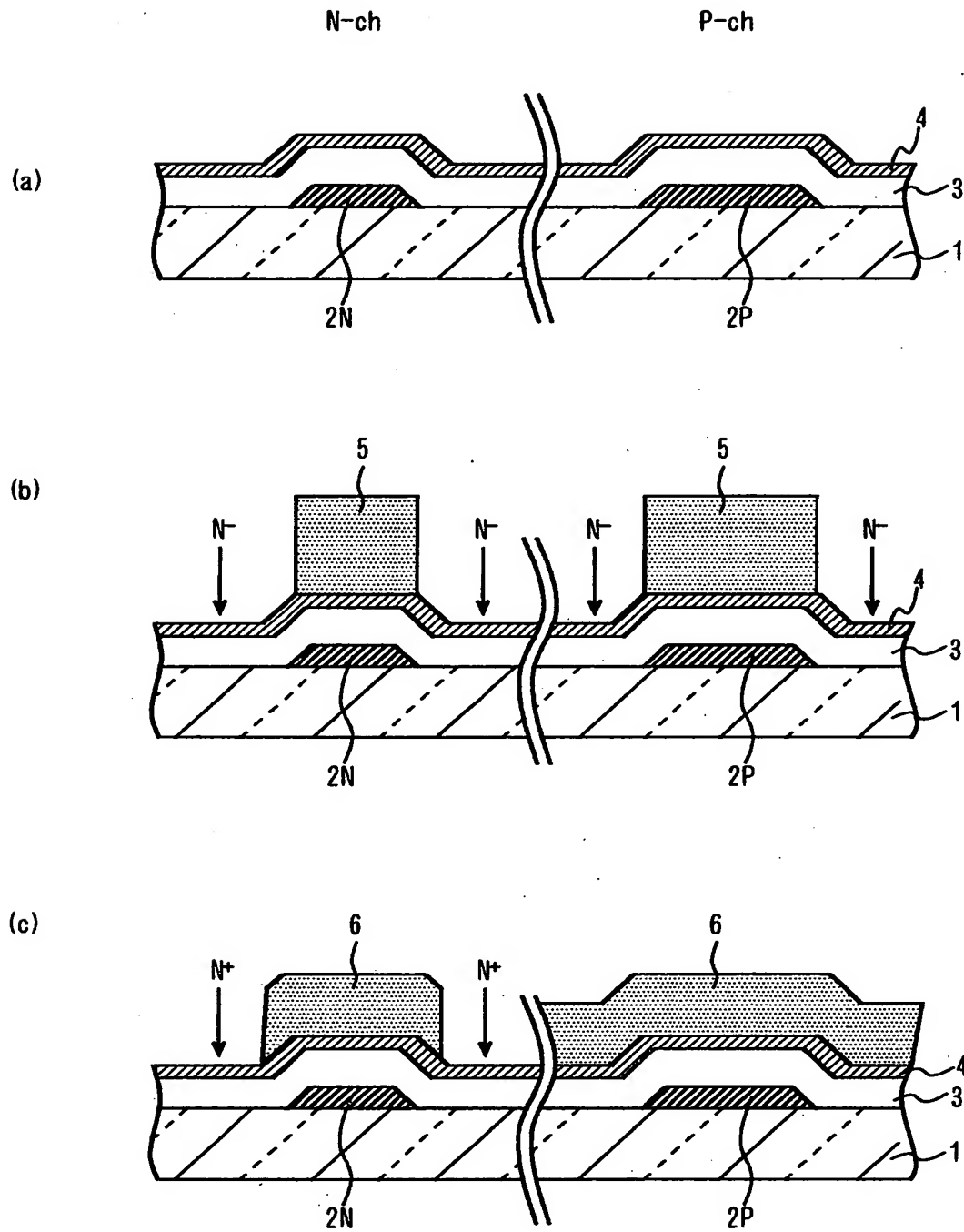
従来のボトムゲート型薄膜トランジスタの製造工程を示す断面図である。

【符号の説明】

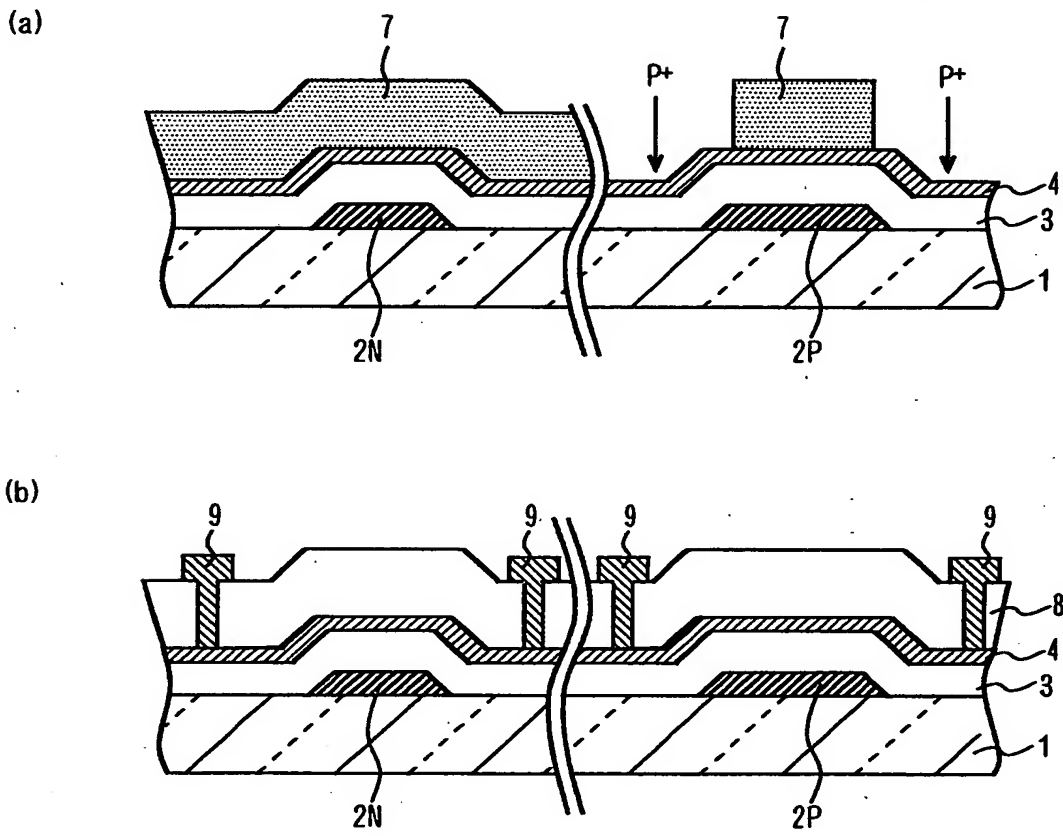
- 1 透明絶縁性基板
- 2 ゲート電極
- 3 ゲート絶縁膜
- 4 半導体層
- 5、6、7 マスク
- 8 層間絶縁膜

【書類名】 図面

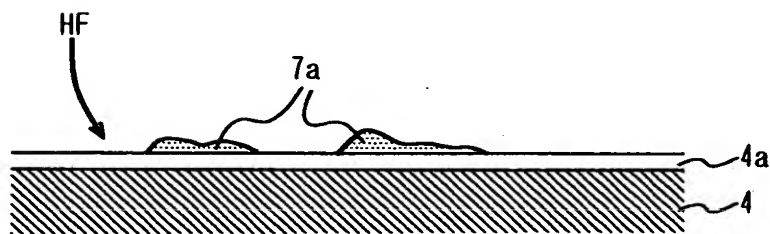
【図 1】



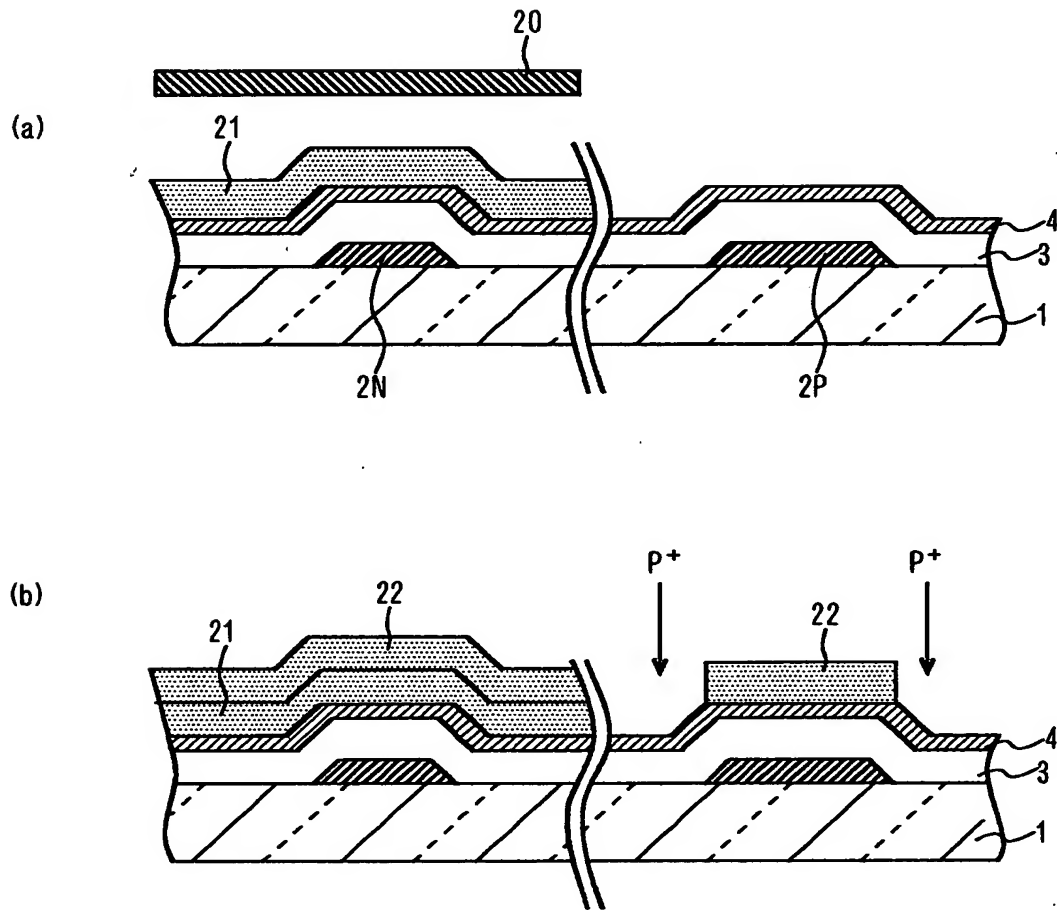
【図 2】



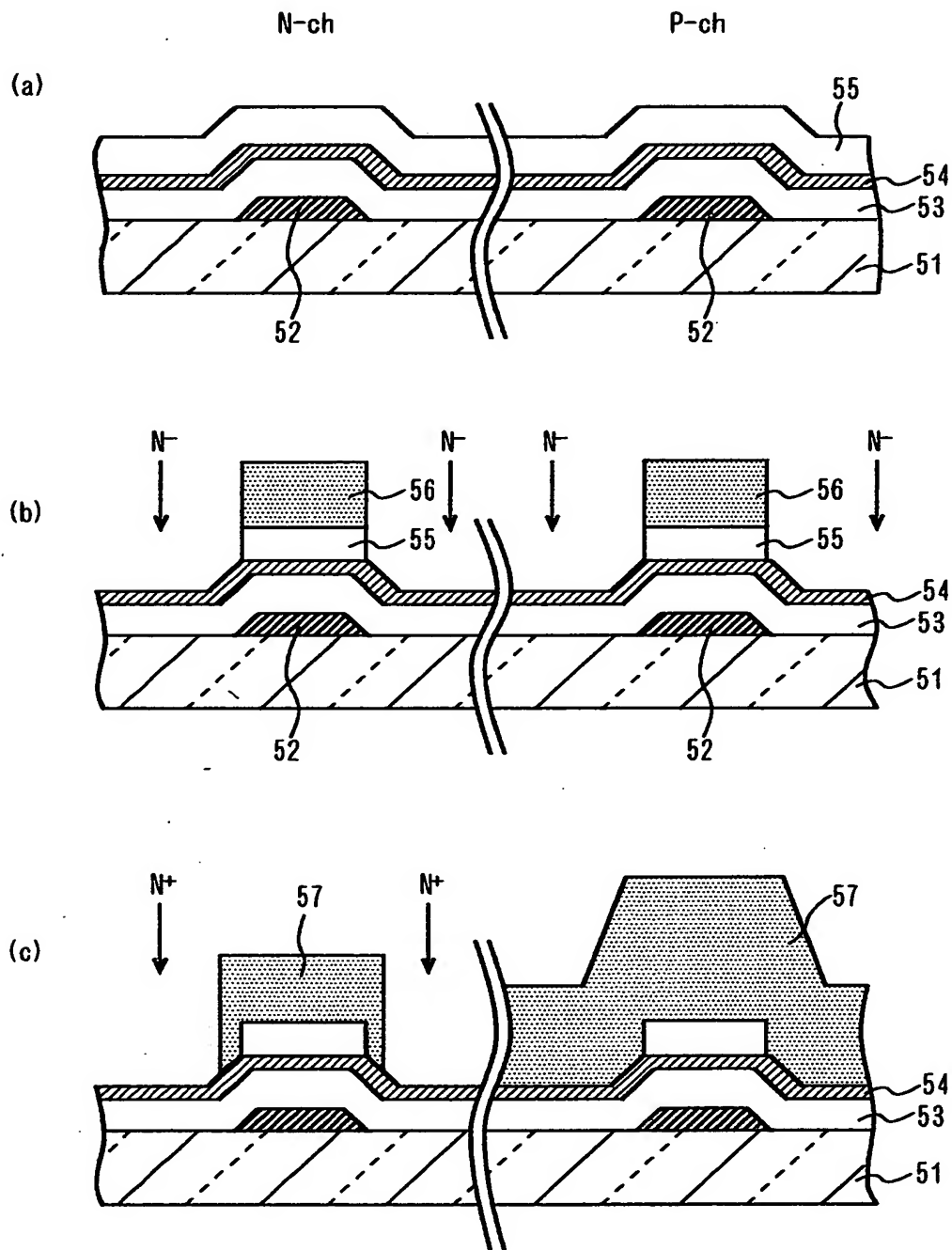
【図 3】



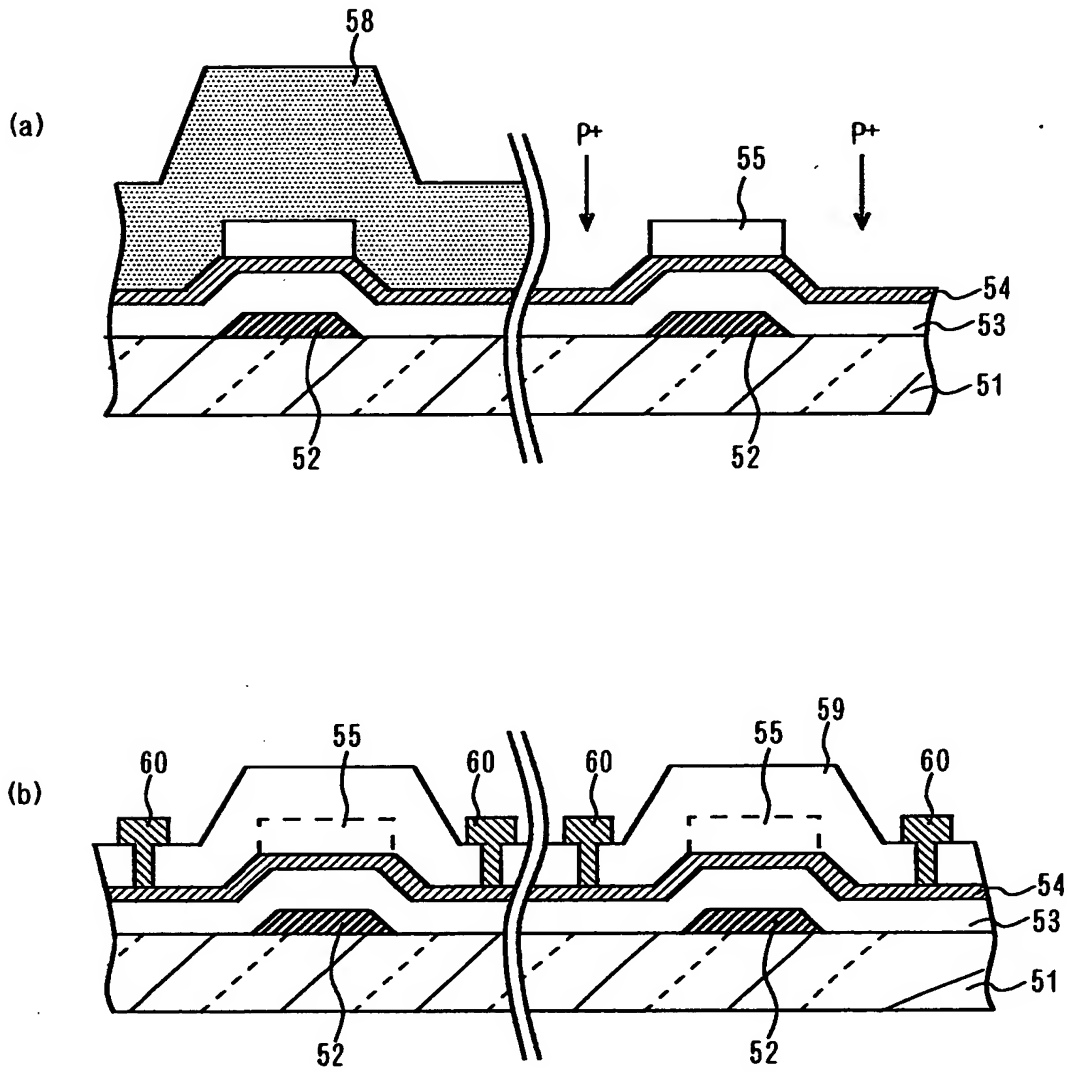
【図 4】



【図5】



【図 6】



【書類名】 要約書

【要約】

【課題】 注入ストッパ55をマスクとしてイオン注入すると、注入ストッパ55中に注入された不純物によってバックチャネル現象が生じ、ボトムゲート型薄膜トランジスタの製造ばらつきにつながっていた。

【解決手段】 注入ストッパ55を形成せずにイオン注入を行い、ゲート電極直上に位置する層間絶縁膜8に注入ストッパ55がなく半導体層4に直接接する構造とする、より本質的には、層間絶縁膜の膜中不純物濃度を 10^{18} atom/cc以下とすることで、バックチャネル現象を防止し、製造ばらつきを小さくする。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社